Architettura degli Elaboratori
7 - Reti Sequenziali

Ugo Dal Lago

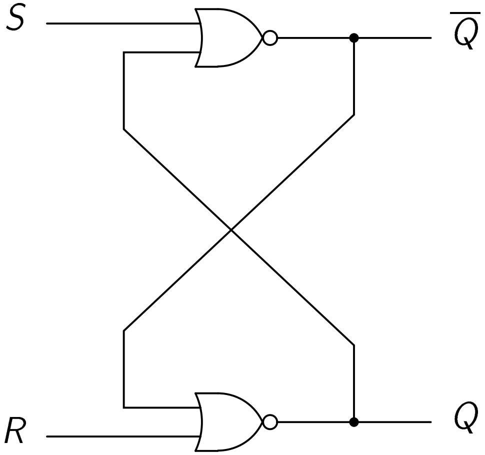
Dipartimento di Scienze dell'Informazione
Università degli Studi di Bologna

Anno Accademico 2006/2007

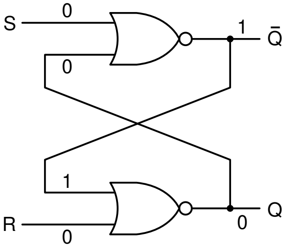
Reti Sequenziali

- Le **reti sequenziali** sono reti logiche che non godono, in generale, della proprietà di aciclicità.
- La valutazione di una rete sequenziale non può essere effettuata conoscendo solo il valore degli input.
- Occorrerà quindi supporre che in alcuni punti della rete (diversi dagli ingressi) vi sia già un valore binario.
  - Proprio per questo si può parlare, nel caso di reti sequenziali, di uno stato interno.
  - Il valore degli output non dipende solo dai valori binari applicati agli ingressi, ma anche da altri valori non dipendenti dall'input.
- Di conseguenza, l'analisi e la sintesi dei circuiti sono molto più complesse nel caso sequenziale che nel caso combinatorio.
- Chiameremo **stato stabile** del circuito un'attribuzione di valori di verità a tutti i fili del circuito che sia in accordo con il comportamento delle porte logiche.

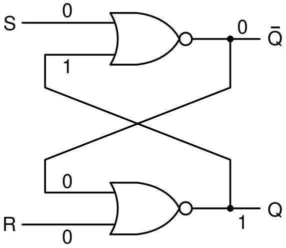
Latch SR



Latch SR - Alcuni Stati Stabili



(a)



(b)

A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

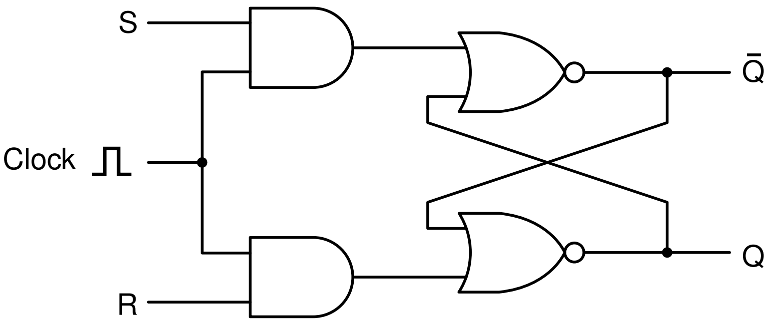
Latch SR

- In tutti gli stati stabili che ci interessano, le due uscite del latch valgono una l'opposto dell'altra. In particolare avremo:
  - Lo stato in cui $S = 0$ e $R = 0$. In questo stato, Q può avere qualunque valore.
  - Lo stato in cui $S = 1$ e $R = 0$. In questo caso, Q deve necessariamente avere valore 1 (e quindi, $\overline{Q}$ deve valere 0).
  - Lo stato in cui $S = 0$ e $R = 1$. In questo caso, Q deve necessariamente avere valore 0 (e quindi, $\overline{Q}$ deve valere 1).
- In altre parole, lo **stato interno** del latch è rappresentato dal singono valore binario Q.
- Normalmente, entrambi gli ingressi valgono 0 e questa situazione non fa cambiare Q.
- Se occorre settare Q a 1, il valore di S va modificato a 1 (lasciando R a 0). Se, invece, occorre resettare Q a 0, basta modificare R a 1 (lasciando S a 0).

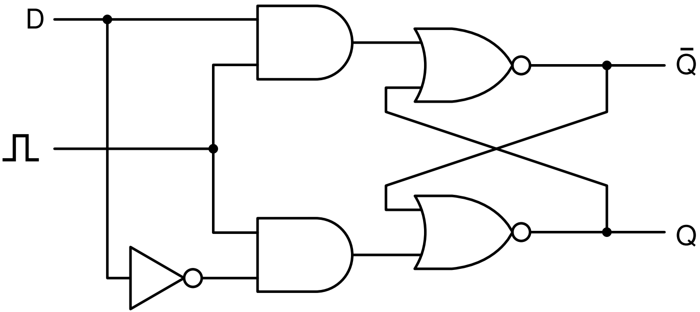
Latch SR: Variazioni sul Tema

- Spesso è utile **impedire** che un latch cambi stato, se non in specifici momenti.
- Vi sarà quindi un ulteriore ingresso C, in genere collegato ad un clock,
  - Quando $C = 0$, lo stato interno del latch non cambia. In particolare, il latch non è sensibile alle variazioni degli ingressi S e R.
  - Quando, invece, $C = 1$, lo stato interno del latch SR può cambiare liberamente, seguendo le regole che conosciamo già.
- Abbiamo finora volutamente evitato di parlare degli stati in cui $S = R = 1$.
  - Solo uno tra essi (ovvero quello per cui $Q = \overline{Q} = 0$) è stabile, ma non è facile passare da esso a qualunque altro stato stabile.
- Per fare in modo che la situazione $S = R = 1$ non si presenti mai, basta sostituire i due ingressi S e R con un unico ingresso D e fare in modo che il valore in D determini lo stato interno del circuito.
  - Tale circuito sequenziale è chiamato **latch D**.

Latch SR Temporizzato



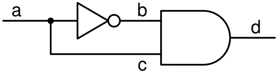
Latch D Temporizzato



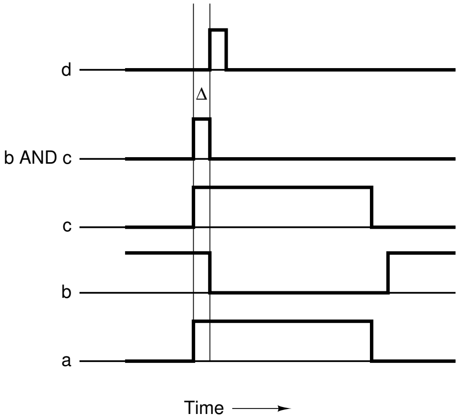
Flip-Flops

- In molte situazioni, è preferibile avere a disposizione un circuito che **memorizzi** (o **campioni**) il valore binario in input in un particolare istante, piuttosto che in un intervallo.
- In tali circuiti, chiamati **flip-flop**, lo stato interno cambia quando il clock cambia il suo valore da 0 a 1 oppure da 1 a 0.
  - Nel primo caso parliamo di **fronte di salita** o **positive edge** e di flip-flop **positive-edge triggered**.
  - Nel secondo caso parliamo invece di **fronte di discesa** o **negative edge** e di flip-flop **negative-edge triggered**.
- In questo senso, si dice che i latch (temporizzati) sono circuiti sequenziali a **commutazione di livello**, mentre i flip-flop sono circuiti sequenziali a **commutazione di fronte**.
- Esistono vari modi per progettare un flip-flop. Un modo semplice è quello di generare un impulso molto breve in corrispondenza del fronte di salita di un clock.
  - Basterà poi impiegare un latch D.

Generatore d'Impulsi

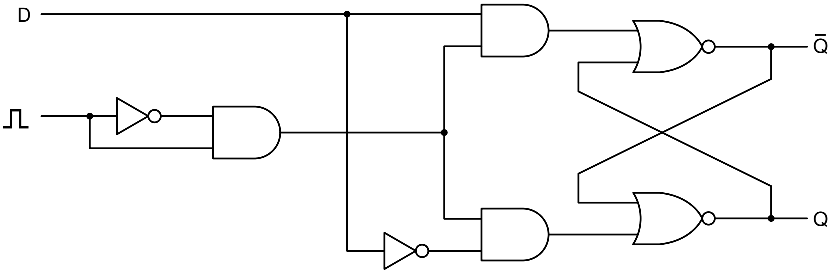


(a)

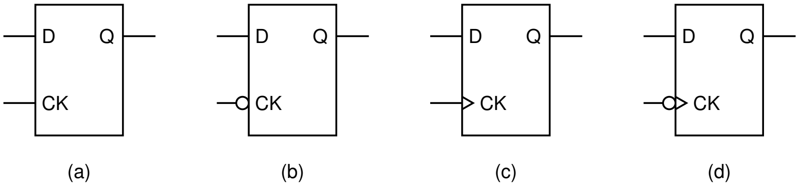


(b)

Flip-flop D Positive-edge Triggered



Latch D e Flip-flop D: Simboli Grafici



Flip-flop: Variazioni sul Tema

- Il flip-flop D può essere realizzato anche in un altro modo, utilizzando un latch D e un latch SR.
- In generale, circuiti con lo stesso comportamento possono essere realizzati in modo diverso.
- I flip-flop possono anche avere ingressi chiamati **Clear** oppure **Reset**, che forzano lo stato interno a diventare 1 oppure 0 in modo asincrono (cioè indipendentemente dal valore del clock).
- Esiste poi un altro flip-flop, chiamato **flip-flop JK** che, oltre all'ingresso per il clock, ha due ingressi J e K. Il prossimo fronte di salita (o di discesa) del clock modificherà lo stato interno come segue:
  - Quando $J = K = 0$, lo stato interno **non cambia**.
  - Quando $J = K = 1$, lo stato interno **cambia**.
  - Quando $J = 0$ e $K = 1$, lo stato interno diventa 0.
  - Quando $J = 1$ e $K = 0$, lo stato interno diventa 1.

Tabelle Caratteristiche

- Il comportamento di ciascun flip-flop sarà descritto dalla sua **tabella caratteristica**, che elenca, per ogni assegnamento di valori di verità agli ingressi, il valore dello stato futuro $Q(t+1)$ nei termini dello stato presente $Q(t)$.
- Ad esempio:

Flip-flop JK

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\overline{Q(t)}$

Flip-flop D

D	$Q(t+1)$
0	0
1	1

Circuiti Sequenziali Sincroni

- Le reti sequenziali di cui ci occuperemo con maggior dettaglio sono i **circuiti sequenziali sincroni**, che sono costituiti da:
  - Alcuni **flip-flop**, regolati dallo stesso clock.
  - Una **rete combinatoria** che, a partire dal valore degli ingressi e dello stato presente, calcoli il valore delle uscite e dello stato futuro.
- Graficamente: